

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Chien-Chou HOU, et al. ) Group: Not yet assigned  
Serial No.: Not yet assigned )  
Filed: Concurrently herewith ) Examiner: Not yet assigned  
For: "METHOD OF ETCHING UNIFORM SILICON LAYER" ) Our Ref: B-5130 621033-6  
                                      ) Date: June 20, 2003

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

[X] Applicants hereby make a right of priority claim under 35 U.S.C. 119 for the benefit of the filing date(s) of the following corresponding foreign application(s):

<u>COUNTRY</u>	<u>FILING DATE</u>	<u>SERIAL NUMBER</u>
Taiwan, R.O.C.	28 November 2002	91134675

[ ] A certified copy of each of the above-noted patent applications was filed with the Parent Application  
No. \_\_\_\_\_.

[X] To support applicant's claim, a certified copy of the above-identified foreign patent application is enclosed herewith.

[ ] The priority document will be forwarded to the Patent Office when required or prior to issuance.

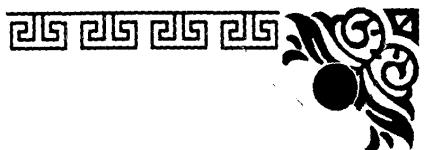
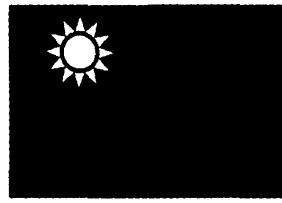
Respectfully submitted,



Richard P. Berg  
Attorney for Applicant  
Reg. No. 28,145

LADAS & PARRY  
5670 Wilshire Boulevard  
Suite 2100  
Los Angeles, CA 90036  
Telephone: (323) 934-2300  
Telefax: (323) 934-0202

LV3383947005



## 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2002 年 11 月 28 日  
Application Date

申 請 案 號：091134675  
Application No.

申 請 人：友達光電股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2003 年 2 月 11 日  
Issue Date

發文字號：09220118450  
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

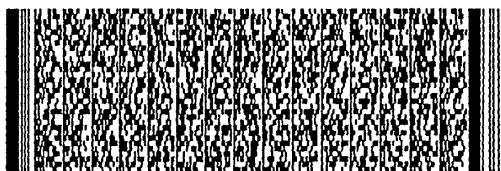
一、 發明名稱	中 文	避免矽層蝕刻不均勻的方法
	英 文	
二、 發明人	姓 名 (中文)	1. 侯建州 2. 黃慶德 3. 黃立維 4. 陳世昆
	姓 名 (英文)	1. Chien-Chou Hou 2. Ching-Te Huang 3. Li-Wei Hwang 4. Shih-Kun Chen
	國 籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居 所	1. 嘉義市北榮街221巷10號 2. 台南縣新市鄉大社村929號之5 3. 新竹市學府路78號5樓 4. 台北縣蘆洲市三民路249號之2
三、 申請人	姓 名 (名稱) (中文)	1. 友達光電股份有限公司
	姓 名 (名稱) (英文)	1.
	國 籍	1. 中華民國
	住、居 所 (事務所)	1. 新竹科學工業園區新竹市力行二路一號
	代表人 姓 名 (中文)	1. 李焜耀
代表人 姓 名 (英文)	1.	



四、中文發明摘要 (發明之名稱：避免矽層蝕刻不均勻的方法)

本發明揭露一種避免矽層蝕刻不均勻的方法。藉由一抗蝕刻能力佳的蝕刻緩衝層，在矽層表面與側壁上均勻地提供一蝕刻阻力，使整個基底的蝕刻速率均勻一致，可獲得厚度均勻的矽層。首先，提供一矽層。接著，形成一具有預定圖案之罩幕層於上述矽層之部分表面。接著，以上述罩幕層為遮蔽，實施一第一次蝕刻程序於上述矽層，以形成一圖案化矽層。然後，去除上述罩幕層。後續，順應性形成一氧化矽層於上述圖案化矽基底表面與側壁上。最後，全面性施行一第二次蝕刻程序，不僅去除上述氧化矽層，且蝕刻上述圖案化矽層，使上述圖案化矽層具有一既定厚度。

英文發明摘要 (發明之名稱：)



四、中文發明摘要 (發明之名稱：避免矽層蝕刻不均勻的方法)

伍、(一)、本案代表圖為：第\_\_\_\_2E\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

200~基底； 202a~圖案化矽層；

206~ $\text{Si}_x\text{O}_y\text{Cl}_z$ 殘留物； 208~氧化矽蝕刻緩衝層；

700~第二次蝕刻程序。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

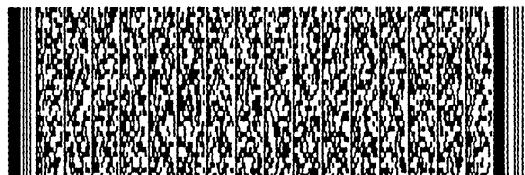
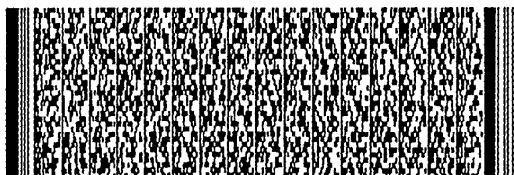
【發明所屬之技術領域】

本發明係有關於一種蝕刻矽層的方法，且特別是有關於一種避免矽層蝕刻不均勻的方法。

【先前技術】

矽材質係目前極為普遍使用之半導體材料。1956年第一顆半導體IC問世後，多年來矽在我們的生活中已無所不在。各類型電腦中的記憶體、微處理器、螢幕的控制器和電源供應器當中，無一不用到IC，而手機、計算機、電視遊樂器、微波爐…等各種電子產品也一樣。不僅如此，日趨蓬勃發展的薄膜電晶體液晶顯示器(thin film transistor liquid crystal display ; TFT LCD)也必須借重於矽，始能發揮其功效。

目前各種電子元件的製作通常是經過一連串的清洗、沉積、微影、蝕刻…等程序而製得。然而，當矽在蝕刻時往往會有厚度不均勻的問題發生。由於目前常用的矽蝕刻劑之主要成成為 $\text{HCl}_x$ ，X係指鹵素族元素，例如：氟(F)、氯(Cl)、溴(Br)…等，而以這些含有鹵素族元素之蝕刻劑對矽進行第一次蝕刻程序140以進行圖案化時，如第1A圖所示，往往會有 $\text{Si}_x\text{O}_y\text{Cl}_z$ 之殘留物106形成於圖案化矽層102a側壁，而 $\text{Si}_x\text{O}_y\text{Cl}_z$ 殘留物106具極佳之化學穩定性。因此，請再參考第1B圖，當去除光阻104後，欲將圖案化矽層102a進一步利用一第二次蝕刻程序150以減少厚度蝕時， $\text{Si}_x\text{O}_y\text{Cl}_z$ 殘留物106便如同硬罩幕(hard mask)般，會防止圖案化矽層102a側壁被蝕刻，如此一來，便無法均勻地減



## 五、發明說明 (2)

少圖案化矽層102a的厚度，而形成圖案化矽層102a側壁較厚且頂部較薄的不均勻輪廓。

有鑑於此，為了解決上述問題，本發明主要目的在於提供一種避免矽層蝕刻不均勻的方法，可適用於各種矽層的蝕刻。

### 【發明內容】

本發明之目的在於提供一種避免矽層蝕刻不均勻的方法，可使矽層均勻地蝕刻至一既定厚度。

本發明之主要特徵在於順應性形成一抗蝕刻能力佳的蝕刻緩衝層(例如：氧化矽)於矽層表面與側壁上，用以均勻地提供一蝕刻阻力，使整個基底的蝕刻速率均勻一致，可均勻地減少矽層的厚度。並且，該蝕刻緩衝層可利用將整個基底實施一含氧氣體處理程序而製得。

為獲致上述之目的，本發明提出一種避免矽層蝕刻不均勻的方法，此方法的步驟主要係包括：

首先，提供一矽層。接著，形成一具有預定圖案之罩幕層於上述矽層之部分表面。接著，以上述罩幕層為遮蔽，實施一第一次蝕刻程序於上述矽層，以形成一圖案化矽層。然後，去除上述罩幕層。後續，順應性形成一蝕刻緩衝層於上述圖案化矽層表面與側壁上。最後，全面性施行一第二次蝕刻程序，不僅去除上述蝕刻緩衝層，且蝕刻上述圖案化矽層，使上述圖案化矽層減少至一既定厚度。

根據本發明，上述第一次蝕刻程序之主要目的在於定義上述矽層之圖案。上述第一次蝕刻程序之蝕刻劑包括

### 五、發明說明 (3)

HCX，X 係指鹵素族元素，例如：氟(F)、氯(Cl)、溴(Br)……等。

根據本發明，上述第二次蝕刻程序之主要目的係在於使上述圖案化矽層具有一均勻之特定厚度。上述第二次蝕刻程序所使用之蝕刻劑包括  $\text{Cl}_2$ 、 $\text{SF}_6$  或  $\text{HBr}$ 。

如前所述，上述罩幕層可為光阻層(photoresist layer)。並且，上述蝕刻緩衝層之材質包括氧化矽，係利用實施一含氧氣體處理程序以進行氧化法而形成。上述蝕刻緩衝層的厚度大體為 5~20 nm。並且，上述矽層的厚度大體為 120~250 nm。上述含氧氣體大體為 90%~99% 氧氣與 10~1% 第二次蝕刻程序之蝕刻劑，其施行溫度約為 30~50°C。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

#### 【實施方式】

以下請配合參照第 2A 圖至第 2F 圖，說明根據本發明之矽層蝕刻方法之一較佳實施例。

首先，請參考第 2A 圖，先提供一矽層 202，其厚度約為 120~250 nm。該矽層 202 可能應用於半導體之基底或薄膜電晶體(thin film transistor；TFT)之活性層(active layer)，甚至任何可能應用矽材質之領域，在此並不加以設限，且矽層 202 可以視需求而設置於任何可能之基底 200 表面。



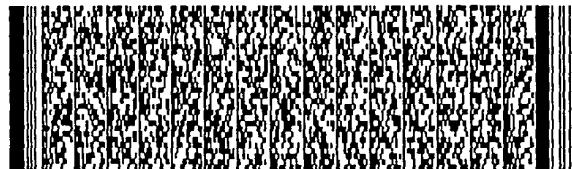
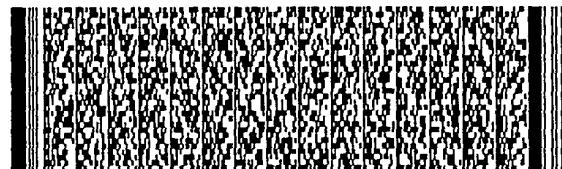
#### 五、發明說明 (4)

接著，請參考第2B圖，先在矽層202表面形成一罩幕層於矽層202之部分表面，例如利用旋塗法(spin coationg)形成一光阻層(photoresist layer)做為罩幕層。再圖案化罩幕層，例如利用適當之微影程序，將光阻層圖案化，以形成一圖案化光阻層204。

接著，請參考第2C圖，以圖案化光阻層204為遮蔽，實施一第一次蝕刻程序500於矽層202，以形成一圖案化矽層202a。第一次蝕刻程序500之主要目的在於定義矽層202之圖案，其蝕刻劑包括HClX，X係指鹵素族元素，例如：氟(F)、氯(Cl)、溴(Br)…等，而以這些含有鹵素族元素之蝕刻劑對矽進行蝕刻，往往會有含有鹵素族元素之矽氧化殘留物生成，其中以含有氯元素之蝕刻劑為例，則易有 $Si_xO_yCl_z$ 之殘留物206形成於圖案化矽層202a側壁，而 $Si_xO_yCl_z$ 殘留物206極為穩定，當後續欲將圖案化矽層202a再進一步利用一第二次蝕刻程序以減少厚度時， $Si_xO_yCl_z$ 殘留物206便如同硬罩幕(hard mask)般，會防止圖案化矽層202a側壁被蝕刻，如此一來，便無法均勻地減少圖案化矽層202a的厚度。

接著，可利用適當溶液去除圖案化光阻層204，如第2D圖所示。

接著，此步驟為本發明之主要特徵，在進行一第二次矽厚度蝕刻之前，可先藉由在蝕刻反應室內部實施一含氧氣體處理程序600，如第2D圖所示。再請參照第2E圖，以順應性形成一氧化矽層208於圖案化矽層202a表面與側壁

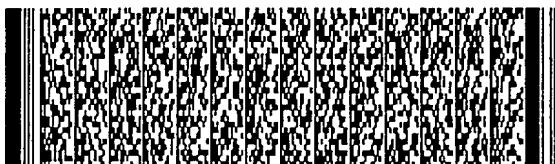


## 五、發明說明 (5)

上，以做為蝕刻緩衝層。氧化矽蝕刻緩衝層208對後續第二次蝕刻程序之蝕刻劑之抗蝕刻能力佳，係為難蝕刻材質，其厚度約為5~20nm。含氧氣體可包括90%~99%之氧氣與10~1%之第二次蝕刻程序之蝕刻劑，其施行溫度例如為30~50°C。

最後，全面性施行一第二次蝕刻程序700，不僅去除氧化矽蝕刻緩衝層208，且蝕刻圖案化矽層202a，使圖案化矽層202a減少至一既定厚度，請參考第2F圖。由於氧化矽蝕刻緩衝層208對所述第二次蝕刻程序700之蝕刻劑之抗蝕刻能力佳，可均勻地提供一蝕刻阻力，使整個基底的蝕刻速率均勻一致，可均勻地減少案化矽層202a的厚度。根據本發明，第二次蝕刻程序700之主要目的係在於使圖案化矽層202a具有一均勻之既定厚度。第二次蝕刻程序700所使用之蝕刻劑必需能蝕刻矽與氧化矽，包括Cl<sub>2</sub>、SF<sub>6</sub>或HBr。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做各種的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1A圖與第1B圖係顯示習知矽蝕刻時所遭遇到的厚度  
蝕刻不均勻問題之示意圖。

第2A圖至第2F圖矽顯示根據本發明之矽蝕刻方法之一  
較佳實施例之製程剖面圖。

### 【符號說明】

100、200~基底；	102a~矽層；
104~光阻；	106、206~ $\text{Si}_x\text{O}_y\text{Cl}_z$ 殘留物；
140~第一次蝕刻程序；	150~第二次蝕刻程序；
202~矽層；	204~圖案化光阻層；
500~第一次蝕刻程序；	202a~圖案化矽層；
600~含氧氣體處理程序；	208~氧化矽蝕刻緩衝層；
700~第二次蝕刻程序。	



## 六、申請專利範圍

1. 一種避免矽層蝕刻不均勻的方法，包括：

提供一圖案化矽層；

順應性形成一蝕刻緩衝層於上述圖案化矽層表面與側壁上；以及

全面性施行一蝕刻程序，不僅去除上述蝕刻緩衝層，且蝕刻上述圖案化矽層，使上述圖案化矽層減少至一既定厚度。

2. 如申請專利範圍第1項所述之避免矽層蝕刻不均勻的方法，其中上述蝕刻緩衝層包括氧化矽( $SiO_2$ )。

3. 如申請專利範圍第2項所述之避免矽層蝕刻不均勻的方法，其中上述蝕刻緩衝層係利用氧化法形成。

4. 如申請專利範圍第1項所述之避免矽層蝕刻不均勻的方法，其中上述蝕刻程序所使用之蝕刻劑包括 $Cl_2$ 、 $SF_6$ 或 $HBr$ 。

5. 如申請專利範圍第1項所述之避免矽層蝕刻不均勻的方法，其中上述蝕刻緩衝層的厚度大體為 $5\sim20nm$ 。

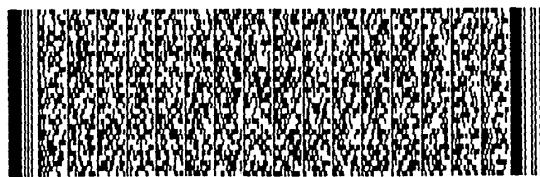
6. 如申請專利範圍第1項所述之避免矽層蝕刻不均勻的方法，其中上述矽層的厚度大體為 $120\sim250nm$ 。

7. 一種避免矽層蝕刻不均勻的方法，包括：

提供一矽層；

形成一具有預定圖案之罩幕層於上述矽層之部分表面；

以上述罩幕層為遮蔽，實施一第一次蝕刻程序於上述矽層，以形成一圖案化矽層；



六、申請專利範圍

去除上述罩幕層；

順應性形成一蝕刻緩衝層於上述圖案化矽層表面與側壁上；以及

全面性施行一第二次蝕刻程序，不僅去除上述蝕刻緩衝層且蝕刻上述圖案化矽層，使上述圖案化矽層減少至一既定厚度。

8. 如申請專利範圍第7項所述之避免矽層蝕刻不均勻的方法，其中上述罩幕層係為光阻(photoresist)層。

9. 如申請專利範圍第7項所述之避免矽層蝕刻不均勻的方法，其中上述蝕刻緩衝層包括氧化矽。

10. 如申請專利範圍第9項所述之避免矽層蝕刻不均勻的方法，其中上述蝕刻緩衝層係利用氧化法形成。

11. 如申請專利範圍第7項所述之避免矽層蝕刻不均勻的方法，其中上述第二次蝕刻程序所使用之蝕刻劑包括  $\text{Cl}_2$  、  $\text{SF}_6$  或  $\text{HBr}$  。

12. 如申請專利範圍第7項所述之避免矽層蝕刻不均勻的方法，其中上述蝕刻緩衝層的厚度大體為  $5\sim 20\text{nm}$  。

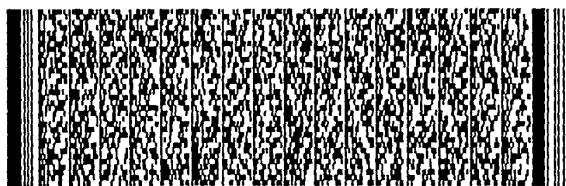
13. 如申請專利範圍第7項所述之避免矽層蝕刻不均勻的方法，其中上述矽層的厚度大體為  $120\sim 250\text{nm}$  。

14. 一種避免矽層蝕刻不均勻的方法，包括：

提供一矽層；

形成一具有預定圖案之罩幕層於上述矽層之部分表面；

以上述罩幕層為遮蔽，實施一第一次蝕刻程序於上述



六、申請專利範圍

矽層，以形成一圖案化矽層；

去除上述罩幕層；

實施一含氧氣體處理程序於上述圖案化矽層表面，以順應性形成一氧化矽層於上述圖案化矽層表面與側壁上；以及

全面性施行一第二次蝕刻程序，不僅去除上述氧化矽層，且蝕刻上述圖案化矽層，使上述圖案化矽層具有一既定厚度。

15. 如申請專利範圍第14項所述之避免矽層蝕刻不均勻的方法，其中上述罩幕層係為光阻(photoresist)層。

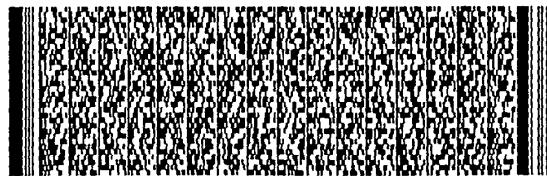
16. 如申請專利範圍第14項所述之避免矽層蝕刻不均勻的方法，其中上述第二次蝕刻程序所使用之蝕刻劑包括 $\text{Cl}_2$ 、 $\text{SF}_6$ 或 $\text{HBr}$ 。

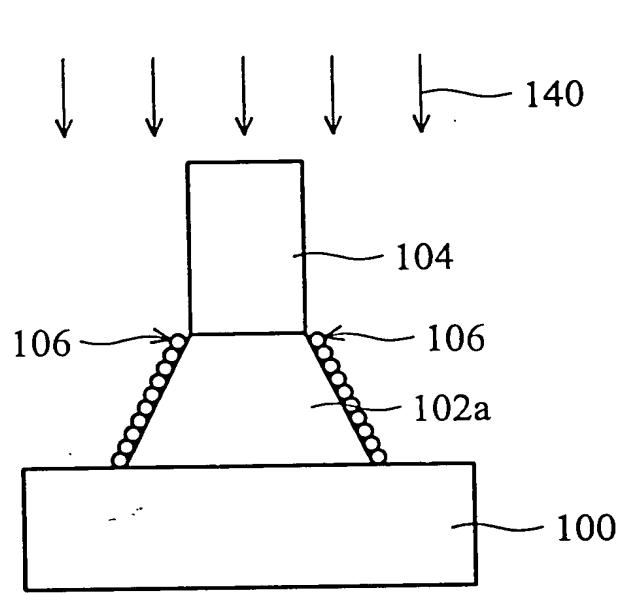
17. 如申請專利範圍第14項所述之避免矽層蝕刻不均勻的方法，其中上述氧化矽層的厚度大體為 $5\sim 20\text{ nm}$ 。

18. 如申請專利範圍第14項所述之避免矽層蝕刻不均勻的方法，其中上述矽層的厚度大體為 $120\sim 250\text{ nm}$ 。

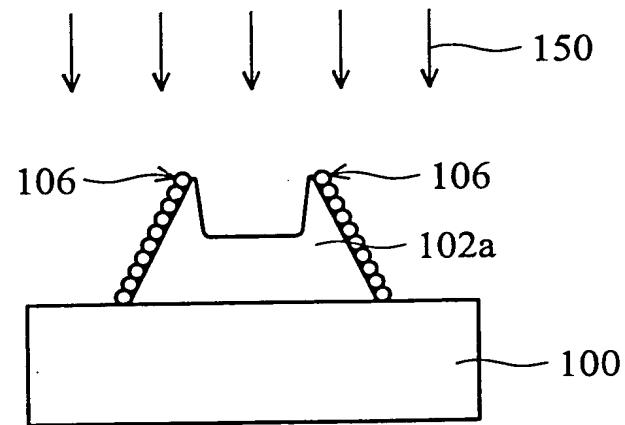
19. 如申請專利範圍第14項所述之避免矽層蝕刻不均勻的方法，其中上述含氧氣體處理程序所使用之氣體大體為90%~99% 氧氣與10~1% 第二次蝕刻程序之蝕刻劑。

20. 如申請專利範圍第13項所述之避免矽層蝕刻不均勻的方法，其中上述含氧氣體處理程序之溫度大體為 $30\sim 50^\circ\text{C}$ 。

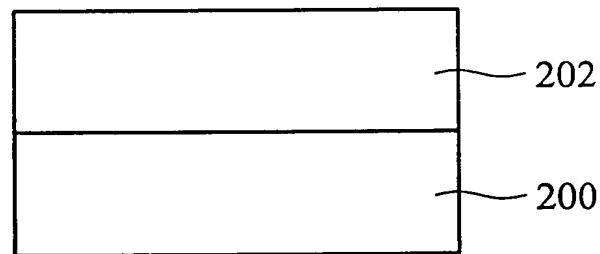




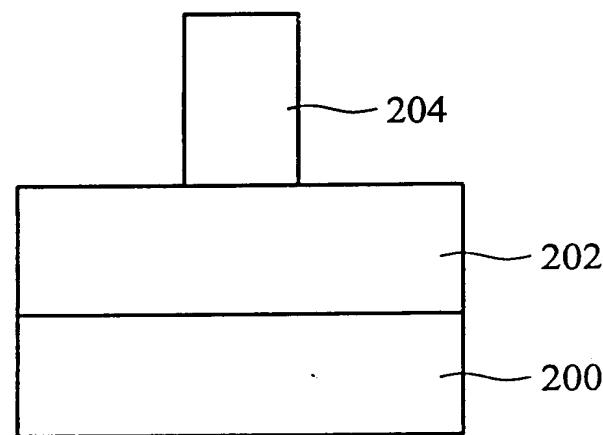
第 1A 圖



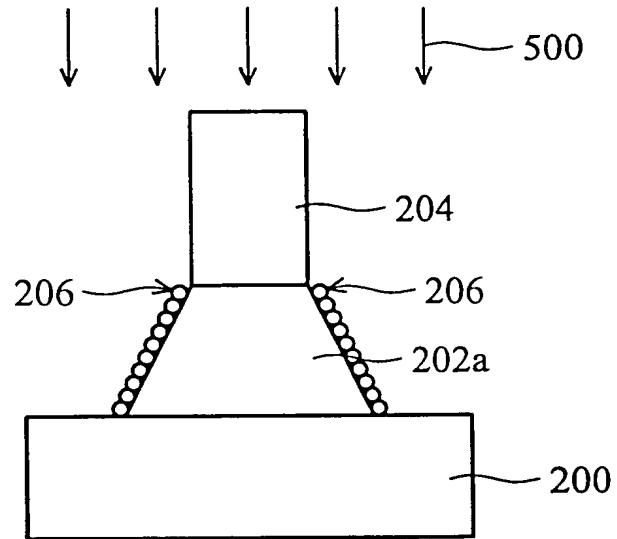
第 1B 圖



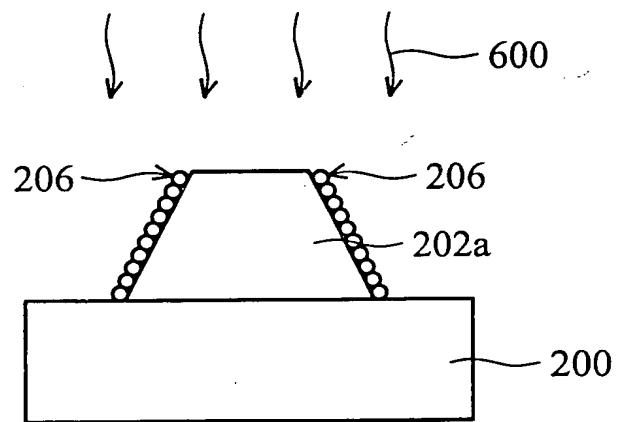
第 2A 圖



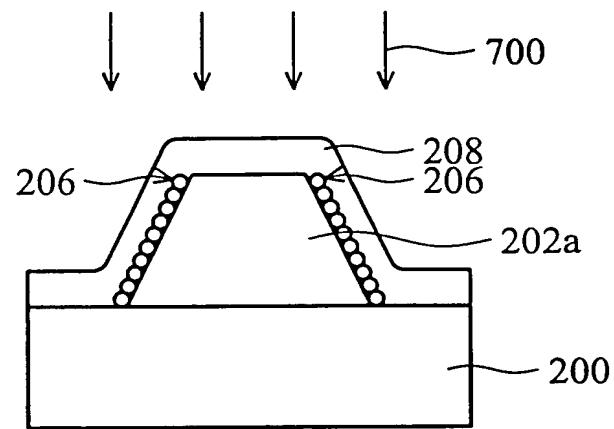
第 2B 圖



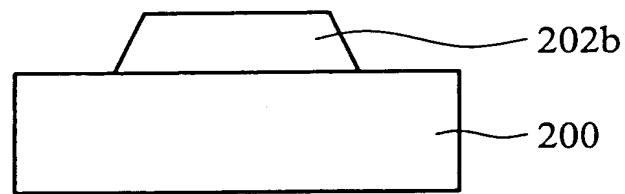
第 2C 圖



第 2D 圖

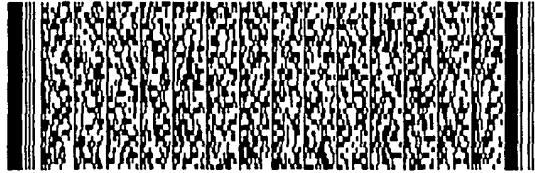


第 2E 圖



第 2F 圖

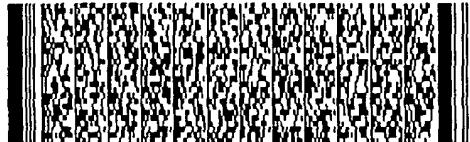
第 1/13 頁



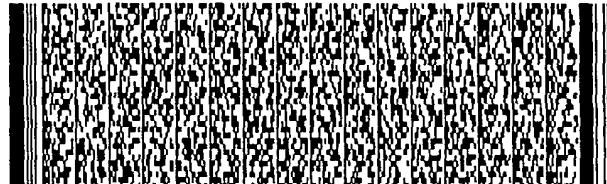
第 2/13 頁



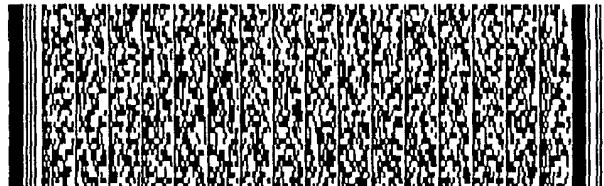
第 3/13 頁



第 5/13 頁



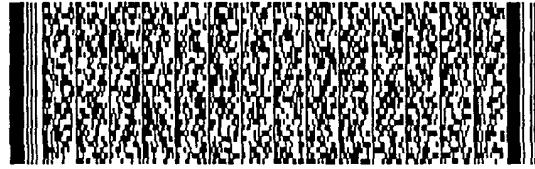
第 5/13 頁



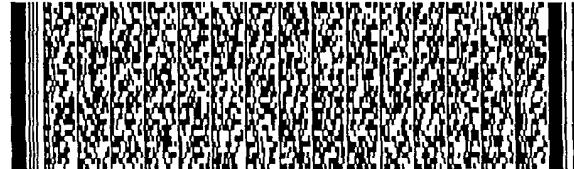
第 6/13 頁



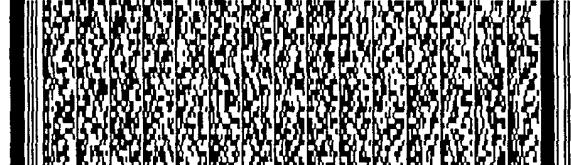
第 6/13 頁



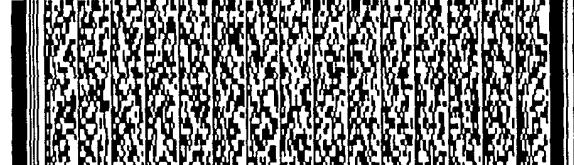
第 7/13 頁



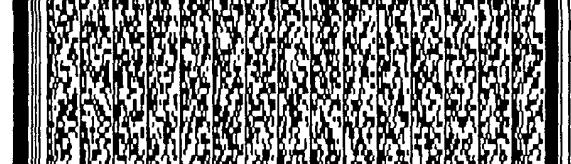
第 7/13 頁



第 8/13 頁



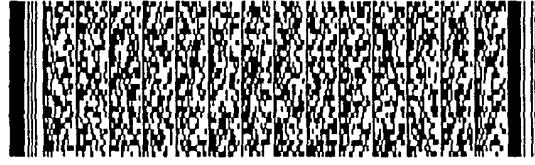
第 8/13 頁



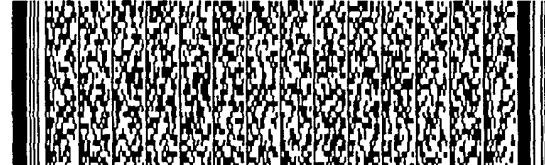
第 9/13 頁



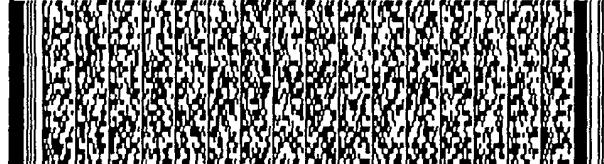
第 9/13 頁



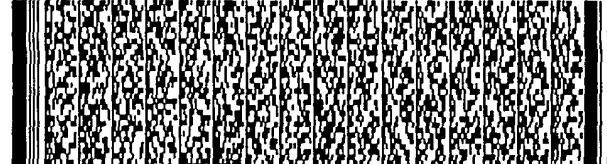
第 10/13 頁



第 11/13 頁



第 12/13 頁



申請案件名稱:避免矽層蝕刻不均勻的方法

第 13/13 頁

